

REF 1

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2001-512914

(P2001-512914A)

(43) 公表日 平成13年8月28日 (2001.8.28)

(51) Int.Cl.<sup>7</sup>

H 0 3 M 13/27

識別記号

F I

H 0 3 M 13/27

テマコード\* (参考)

審査請求 有 予備審査請求 有 (全 50 頁)

(21) 出願番号 特願2000-505687(P2000-505687)  
 (86) (22) 出願日 平成10年7月30日(1998.7.30)  
 (85) 翻訳文提出日 平成12年1月21日(2000.1.21)  
 (86) 国際出願番号 P C T / K R 9 8 / 0 0 2 3 2  
 (87) 国際公開番号 W O 9 9 / 0 7 0 7 6  
 (87) 国際公開日 平成11年2月11日(1999.2.11)  
 (31) 優先権主張番号 1 9 9 7 / 3 6 2 6 5  
 (32) 優先日 平成9年7月30日(1997.7.30)  
 (33) 優先権主張国 韓国 (K R)  
 (31) 優先権主張番号 1 9 9 7 / 6 0 1 0 1  
 (32) 優先日 平成9年11月10日(1997.11.10)  
 (33) 優先権主張国 韓国 (K R)

(71) 出願人 サムソン エレクトロニクス カンパニー  
 リミテッド  
 大韓民国 キュンギード スウォンシー  
 パルダルーグ マエタンードン 416  
 (72) 発明者 チャン・スー・バク  
 大韓民国・ソウル・134-023・カンドナー  
 グ・チョンホ・3-ドン・191-26  
 (72) 発明者 ヒョン・ウー・リー  
 大韓民国・キュンギード・441-390・スウ  
 オンシー・クオンソナーグ・クオンソナー  
 ドン・ピェオクサン・アパートメント・  
 #806-901  
 (74) 代理人 弁理士 志賀 正武 (外1名)

最終頁に続く

(54) 【発明の名称】 適用形チャネル符号化方法及び装置

(57) 【要約】

たたみ込み符号を並列又は直列構造で連結したチャネル符号器を用いる通信システムの符号化装置を提供する。本発明のチャネル符号化装置は、入力される情報ビットを符号化する第1符号器と、設定された規則に基づいて入力される情報ビットの順序を変えるためにメモリ及びインデックス発生器を備えるインタリーバと、インタリーバの出力を符号化する第2符号器と、第1符号器及び第2符号器の入力及び出力情報ビットのフレームを終端させる第1終端装置及び第2終端装置と、フレームの終端に使用されたテールビットを貯蔵するテールビット生成器と、これら過程を制御するための制御器及びスイッチと、で構成される。

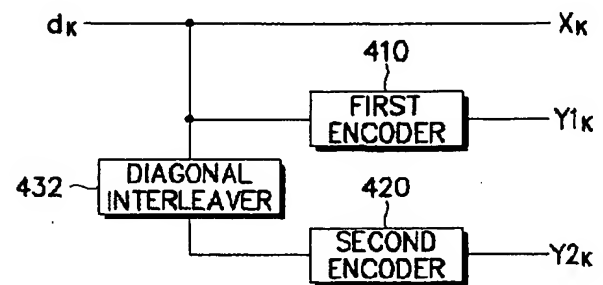


FIG. 5

## 【特許請求の範囲】

【請求項 1】 フレーム大きさ信号を入力する過程と、

前記入力フレーム大きさに対応する行及び列情報を決定する過程と、

前記行及び列情報に基づいて入力フレームの情報ビットを対角インタリーピングして出力する過程と、からなることを特徴とする対角インタリーピング方法。

【請求項 2】 前記対角インタリーピングする過程が、下記の数式 1 によって行われることを特徴とする請求項 1 記載の対角インタリーピング方法。

for (k=0;k<M\*N-1;k++)

new addr [k] = (M-1-(k mod N)) \* N + (k mod N) …… (1)

ここで、M及びNはフレームの行及び列情報、M\*Nはフレーム大きさ、kはインデックス、new addr [] は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 3】 前記対角インタリーピングする過程が、下記の数式 2 によって行われることを特徴とする請求項 1 記載の対角インタリーピング方法。

for (j=0;j<M;j++)

for (i=0;<N;i++)

new addr [i+j\*N] = i + (M-1-(i+j) mod M) \* N …… (2)

ここで、M及びNはフレームの行及び列情報、M\*Nはフレーム大きさ、i, j はインデックス、new addr [] は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 4】 前記対角インタリーピングする過程が、下記の数式 3 によって行われることを特徴とする請求項 1 記載の対角インタリーピング方法。

for (j=0;j<M;j++)

for (i=0;<N;i++)

new addr [i+j\*N] = i + ((i+j) mod M) \* N …… (3)

ここで、M及びNはフレームの行及び列情報、M\*Nはフレーム大きさ、i, j はインデックス、new addr [] は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 5】 フレーム大きさ信号を入力する過程と、

前記入力フレーム大きさに対応するホップ及びステップ値を決定する過程と、  
前記入力されるフレーム情報ビットを一つ以上の円として用いて前記ホップ及びステップ値に基づいて入力情報を循環インタリーピングする過程と、からなることを特徴とする循環インタリーピング方法。

【請求項 6】 前記循環インタリーピングする過程が、下記の数式 4 によって行われることを特徴とする請求項 5 記載の循環インタリーピング方法。

```
for (i=0; i<SIZE; i++)
    new_addr[i] = (p*i+STEP) mod SIZE  …… (4)
```

ここで、S I Z E はインタリーピングされるデータの大きさ、p は循環インタリーピングを行うためのホップ変数であり、S T E P はホッピングされた位置からデータをシフトさせるためのステップ変数であって、整数値を有する。また、i はインデックス、new\_addr[] は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 7】 前記循環インタリーピングする過程が、下記の数式 5 によって行われることを特徴とする請求項 5 記載の循環インタリーピング方法。

```
d=GCD(P, SIZE);
for (k-j=0; j<d; j++)
    for (i=0; i<SIZE/d; i++, k++)
        new_addr[k] = ((P*i+STEP)+j) mod SIZE  …… (5)
```

ここで、S I Z E はインタリーピングされるデータの大きさ、p は循環インタリーピングを行うためのホップ変数であり、S T E P はホッピングされた位置からデータをシフトさせるためのステップ変数であって、整数値を有する。また、i, j, k はインデックス、new\_addr[] は対角インタリーピングされた情報ビットの新規のアドレス、G C D は最大公約数を示す。

【請求項 8】 ターボ符号化装置において、

入力情報ビットを符号化する複数の構成符号器と、

入力情報の大きさに各々対応する行及び列情報を備え、伝送されるフレーム大きさに対応する行及び列情報を設定した後、前記行及び列情報に基づいて入力情報ビットを対角インタリーピングして前記少なくとも一つの構成符号器の入力端

に連結する対角インタリーバと、から構成されることを特徴とするターボ符号化装置。

【請求項 9】 前記対角インタリーバが、

入力情報ビットの大きさに対応する行及び列情報を貯蔵する対角インタリーピングテーブルと、

前記行及び列情報に基づいて入力情報ビットを下記の数式 6 によって対角インタリーピングするためのアドレスを発生する対角インタリーピング制御器と、から構成されることを特徴とする請求項 8 記載のターボ符号化装置。

for (k=0;k<M\*N-1;k++)

new addr [k] = (M-1-(k mod N)) \* N + (k mod N) …… (6)

ここで、M及びNはフレームの行及び列情報、kはインデックス、new addr [] は対角インタリーピングされた情報ビットの新規のアドレス、M\*Nはフレーム大きさを示す。

【請求項 10】 前記対角インタリーバが、

入力情報ビットの大きさに対応する行及び列情報を貯蔵する対角インタリーピングテーブルと、

前記行及び列情報に基づいて入力情報ビットを下記の数式 7 によって対角インタリーピングするためのアドレスを発生する対角インタリーピング制御器と、から構成されることを特徴とする請求項 8 記載のターボ符号化装置。

for (j=0;j<M;j++)

for (i=0;i<N;i++)

new addr [i+j\*N] = i + (M-1-(i+j) mod M) \* N …… (7)

ここで、M及びNはフレームの行及び列情報、M\*Nはフレーム大きさ、i, j はインデックス、new addr [] は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 11】 前記対角インタリーバが、

入力情報ビットの大きさに対応する行及び列情報を貯蔵する対角インタリーピングテーブルと、

前記行及び列情報に基づいて入力情報ビットを下記の数式 8 によって対角イン

タリーピングするためのアドレスを発生する対角インタリーピング制御器と、から構成されることを特徴とする請求項 8 記載のターボ符号化装置。

```
for (j=0; j<M; j++)
  for (i=0; i<N; i++)
    new addr[i+j*N] = i + ((i+j) mod M) * N ..... (8)
```

ここで、M及びNはフレームの行及び列情報、M\*Nはフレーム大きさ、i, jはインデックス、new addr[]は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 1 2】 ターボ符号化装置において、  
入力情報ビットを符号化する複数の構成符号器と、  
インタリーピングする入力情報の大きさに対応するホップ及びステップ情報を備え、前記入力情報の大きさに対応するホップ及びステップ情報を設定した後、前記ホップ及びステップ情報に基づいて入力情報ビットを循環インタリーピングして前記少なくとも一つの構成符号器の入力端に連結する循環インタリーバと、から構成されることを特徴とするターボ符号化装置。

【請求項 1 3】 前記循環インタリーバが、  
入力情報ビットの大きさに対応する行及び列情報を貯蔵する循環インタリーピングテーブルと、

前記ホップ及びステップ情報に基づいて前記入力情報ビットを下記の数式 9 によって循環インタリーピングするためのアドレスを発生する循環インタリーピング制御器と、から構成されることを特徴とする請求項 1 2 記載のターボ符号化装置。

```
for (i=0; i<SIZE; i++)
  new addr[i] = (p*i+STEP) mod SIZE ..... (9)
```

ここで、S I Z Eはインタリーピングされるデータの大きさ、pは循環インタリーピングを行うためのホップ変数であり、S T E Pはホッピングされた位置からデータをシフトさせるためのステップ変数であって、整数値を有する。また、iはインデックス、new addr[]は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 1 4】 前記循環インタリーバが、  
入力情報ビットの大きさに対応するホップ及びステップ情報を貯蔵する循環インタリーピングテーブルと、

前記ホップ及びステップ情報に基づいて前記入力情報ビットを下記の数式 1 0 によって循環インタリーピングするためのアドレスを発生する循環インタリーピング制御器と、から構成されることを特徴とする請求項 1 2 記載のターボ符号化装置。

$$d = \text{GCD}(P, \text{SIZE}) ;$$

$$\text{for } (k-j=0; j < d; j++)$$

$$\text{for } (i=0; i < \text{SIZE}/d; i++, k++)$$

$$\text{new\_addr}[k] = ((P \cdot i + \text{STEP}) + j) \bmod \text{SIZE} \quad \dots\dots (10)$$

ここで、S I Z E はインタリーピングされるデータの大きさ、p は循環インタリーピングを行うためのホップ変数であり、S T E P はホッピングされた位置からデータをシフトさせるためのステップ変数であって、整数値を有する。また、i, j, k はインデックス、new\_addr[] は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 1 5】 ターボ符号化装置において、  
入力情報ビットを符号化する複数の構成符号器と、  
伝送される入力情報ビットをインタリーピングして前記少なくとも一つの構成符号器の入力端に連結するインタリーバと、

前記構成符号器の数に対応するよう備えられ、入力フレームデータのフレームを終端させるためのフレーム終端信号としてテールビットを発生するテールビット生成器と、

前記入力情報ビットを穿孔する第 1 穿孔器と、

前記構成符号器の出力を穿孔する第 2 穿孔器と、から構成されることを特徴とするターボ符号化装置。

【請求項 1 6】 前記インタリーバは対角インタリーバを含むことを特徴とする請求項 1 5 記載のターボ符号化装置。

【請求項 1 7】 前記インタリーバは循環インタリーバを含むことを特徴と

する請求項 1 5 記載のターボ符号化装置。

【請求項 1 8】 入力情報の大きさを示す信号を入力する過程と、  
前記入力情報の大きさに対応するホップ値を決定する過程と、  
前記入力される情報ビットを一つ以上の円として用いて前記ホップ変数に基づいて入力情報を循環インタリーピングする過程と、 かななることを特徴とする循環インタリーピング方法。

【請求項 1 9】 循環インタリーピングする過程が、下記の数式 1 1 によって行われることを特徴とする請求項 1 8 記載の循環インタリーピング方法。

```
for (i=0; i<SIZE; i++)  
    new_addr[i] = (p*i+STEP) mod SIZE ..... (1 1)
```

ここで、S I Z E はインタリーピングされる入力情報の大きさ、p は循環インタリーピングを行うためのホップ変数であり、S T E P はホッピングされた位置からデータをシフトさせるためのステップ変数であって、整数値を有する。また、i はインデックス、new\_addr [] は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 2 0】 循環インタリーピングする過程が、下記の数式 1 2 によって行われることを特徴とする請求項 1 8 記載の循環インタリーピング方法。

```
d=GCD (P, SIZE);  
for (k=j=0; j<d; j++)  
    for (i=0; i<SIZE/d; i++, k++)  
        new_addr[k] = ((P*i+STEP)+j) mod SIZE ..... (1 2)
```

ここで、S I Z E はインタリーピングされる入力情報の大きさ、p は循環インタリーピングを行うためのホップ変数であり、S T E P はホッピングされた位置からデータをシフトさせるためのステップ変数であって、整数値を有する。また、i, j, k はインデックス、new\_addr [] は対角インタリーピングされた情報ビットの新規のアドレス、G C D は最大公約数を示す。

【請求項 2 1】 ターボ符号化装置において、  
入力情報ビットを符号化する複数の構成符号器と、  
インタリーピングする入力情報の大きさに対応するホップ変数を備え、前記入

力情報の大きさに対応するホップ情報を設定した後、前記ホップ情報に基づいて入力情報ビットを循環インタリーピングして前記少なくとも一つの構成符号器の入力端に連結する循環インタリーブと、から構成されることを特徴とするターボ符号化装置。

【請求項 2 2】 前記循環インタリーブが、  
インタリーピングする入力情報ビットの大きさに対応するホップ情報を貯蔵する循環インタリーピングテーブルと、

前記ホップ情報に基づいて前記入力情報ビットを下記の数式 1 3 によって循環インタリーピングするアドレスを発生する循環インタリーピング制御器と、から構成されることを特徴とする請求項 2 1 記載のターボ符号化装置。

```
for (i=0; i<SIZE; i++)
    new_addr[i] = (p*i+STEP) mod SIZE ..... (1 3)
```

ここで、S I Z E はインタリーピングされる入力情報の大きさ、p は循環インタリーピングを行うためのホップ変数であり、S T E P はホッピングされた位置からデータをシフトさせるためのステップ変数であって、整数値を有する。また、i はインデックス、new\_addr [] は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 2 3】 前記循環インタリーブが、  
インタリーピングする入力情報ビットの大きさに対応するホップ情報を貯蔵する循環インタリーピングテーブルと、

前記ホップ情報に基づいて前記入力情報ビットを下記の数式 1 4 によって循環インタリーピングするためのアドレスを発生する循環インタリーピング制御器と、から構成されることを特徴とする請求項 2 2 記載のターボ符号化装置。

```
d=GCD(P, SIZE);
for (k-j=0; j<d; j++)
    for (i=0; i<SIZE|d; i++, k++)
        new_addr[k] = ((P*i+STEP)+j) mod SIZE ..... (1 4)
```

ここで、S I Z E はインタリーピングされる入力情報の大きさ、p は循環インタリーピングを行うためのホップ変数であり、S T E P はホッピングされた位置



からデータをシフトさせるためのステップ変数であって、整数値を有する。また、 $i$ 、 $j$ 、 $k$ はインデックス、 $\text{new\_addr}[]$ は対角インタリーピングされた情報ビットの新規のアドレス、 $GCD$ は最大公約数を示す。

【請求項 2 4】 ターボ符号化装置において、  
 入力情報ビットを符号化する複数の構成符号器と、  
 前記入力情報ビットをインタリーピングして前記少なくとも一つの構成符号器の入力端に連結するインタリーブと、  
 前記入力情報ビットを穿孔する第 1 穿孔器と、  
 前記構成符号器の出力を穿孔して符号化したデータの伝送率を調整する第 2 穿孔器と、から構成されることを特徴とするターボ符号化装置。

【請求項 2 5】 第 1 構成符号器及び第 2 構成符号器を備えるチャネル符号化装置を用いるチャネル符号化方法において、  
 入力情報をそのまま出力する過程と、  
 入力情報を第 1 構成符号器で符号化して第 1 パリティを出力する過程と、  
 入力情報の大きさに対応する行及び列を用いて入力情報を対角インタリーピングする過程と、  
 前記入力情報を第 2 構成符号器で符号化して第 2 パリティを出力する過程と、  
 からなることを特徴とするチャネル符号化方法。

【請求項 2 6】 前記対角インタリーピング過程が下記の数式 1 5 によって行われることを特徴とする請求項 2 5 記載のチャネル符号化方法。

$$\text{for } (k=0; k < M \cdot N - 1; k++)$$

$$\text{new\_addr}[k] = (M - 1 - (k \bmod N)) \cdot N + (k \bmod N) \quad \dots\dots (15)$$

ここで、 $M$ 及び $N$ はフレームの行及び列情報、 $M \cdot N$ はフレーム大きさ、 $k$ はインデックス、 $\text{new\_addr}[]$ は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 2 7】 前記対角インタリーピング過程が下記の数式 1 6 によって行われることを特徴とする請求項 2 5 記載のチャネル符号化方法。

$$\text{for } (j=0; j < M; j++)$$

$$\text{for } (i=0; i < N; i++)$$

$$\text{new addr}[i+j+N]=i+(M-1-(i+j) \bmod M)*N \quad \cdots \cdots (16)$$

ここで、M及びNはフレームの行及び列情報、M\*Nはフレーム大きさ、i、jはインデックス、new addr[]は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項28】 前記対角インタリーピング過程が下記の数式17によって行われることを特徴とする請求項25記載のチャネル符号化方法。

```
for (j=0; j<M; j++)
```

```
    for (i=0; i<N; i++)
```

$$\text{new addr}[i+j+N]=i+((i+j) \bmod M)*N \quad \cdots \cdots (17)$$

ここで、M及びNはフレームの行及び列情報、M\*Nはフレーム大きさ、i、jはインデックス、new addr[]は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項29】 第1構成符号器及び第2構成符号器を備えるチャネル符号化装置を用いるチャネル符号化方法において、

入力情報をそのまま出力する過程と、

入力情報を第1構成符号器で符号化して第1パリティを出力する過程と、

前記入力情報を循環インタリーピングする過程と、

前記入力情報を第2構成符号器で符号化して第2パリティを出力する過程と、  
からなることを特徴とするチャネル符号化方法。

【請求項30】 前記循環インタリーピングが入力情報の大きさに対応するホップ変数に基づいて行われることを特徴とする請求項29記載のチャネル符号化方法。

【請求項31】 前記入力情報の大きさとそれに対応するホップ変数が貯蔵されていることを特徴とする請求項30記載のチャネル符号化方法。

【請求項32】 前記循環インタリーピングが、入力情報の大きさに対応するホップ変数と入力情報の順序情報に基づいて行われることを特徴とする請求項29記載のチャネル符号化方法。

【請求項33】 前記ホップ変数と前記入力情報の順序情報をかけた結果値を循環大きさ値で分けた余りを用いて、前記循環インタリーピングが行われるこ

とを特徴とする請求項 3 2 記載のチャネル符号化方法。

【請求項 3 4】 前記循環インタリービング過程が、下記の数式 1 8 によって行われることを特徴とする請求項 3 3 記載のチャネル符号化方法。

```
for (i=0; i<SIZE; i++)
    new_addr[i] = (p*i+STEP) mod SIZE ..... (18)
```

ここで、 $i$  は入力情報の順序、 $p$  は循環インタリーピングを行うためのホップ変数、 $STEP$  は '0' を含むスタート位置、 $new\_addr[]$  は対角インタリーピングされた情報ビットの新規のアドレス、 $SIZE$  は循環大きさ値を示す。

【請求項 3 5】 前記循環大きさ値が入力情報の大きさと同一であることを特徴とする請求項 3 4 記載のチャネル符号化方法。

【請求項 3 6】 前記循環インタリーピング過程が下記の数式 1 9 によって行われることを特徴とする請求項 3 3 記載のチャネル符号化方法。

```
d=GCD(P, SIZE);
for (k-j=0; j<d; j++)
    for (i=0; i<SIZE/d; i++, k++)
        new_addr[k] = ((P*i+STEP)+j) mod SIZE ..... (19)
```

ここで、 $SIZE$  は循環大きさ、 $p$  は循環インタリーピングを行うためのホップ変数であり、 $STEP$  は '0' を含むスタート位置、 $i, j$  はインデックス、 $new\_addr[]$  は対角インタリーピングされた情報ビットの新規のアドレス、 $GCD$  は最大公約数を示す。

【請求項 3 7】 第 1 構成符号器及び第 2 構成符号器を備えるチャネル符号化装置を用いるチャネル符号化方法において、

入力情報をそのまま出力する過程と、

入力情報を第 1 構成符号器で符号化して第 1 パリティを出力する過程と、

前記入力情報をインタリーピングする過程と、

前記インタリーピングされた情報を第 2 構成符号器で符号化して第 2 パリティを出力する過程と、

前記入力情報の出力を穿孔する過程と、からなることを特徴とするチャネル符号化方法。

【請求項 3 8】 前記第 1 パリティ及び第 2 パリティを穿孔する過程をさらに含むことを特徴とする請求項 3 7 記載のチャネル符号化方法。

【請求項 3 9】 前記インタリービングが循環インタリービングであることを特徴とする請求項 3 8 記載のチャネル符号化方法。

【請求項 4 0】 前記循環インタリービングが入力情報の大きさに対応するホップ変数に基づいて行われることを特徴とする請求項 3 9 記載のチャネル符号化方法。

【請求項 4 1】 前記入力情報の大きさとそれに対応するホップ変数が貯蔵されていることを特徴とする請求項 4 0 記載のチャネル符号化方法。

【請求項 4 2】 前記循環インタリービングが入力情報の大きさに対応するホップ変数と入力情報の順序情報に基づいて行われることを特徴とする請求項 4 0 記載のチャネル符号化方法。

【請求項 4 3】 前記ホップ変数と前記入力情報の順序情報をかけた結果値を循環大きさ値で分けた余りを用いて、前記循環インタリービングが行われることを特徴とする請求項 4 2 記載のチャネル符号化方法。

【請求項 4 4】 前記循環インタリービング過程が下記の数式 2 0 によって行われることを特徴とする請求項 4 3 記載のチャネル符号化方法。

```
for (i=0; i<SIZE; i++)
    new addr[i] = (p*i+STEP) mod SIZE ..... (2 0)
```

ここで、 $i$  は入力情報の順序、 $p$  は循環インタリービングを行うためのホップ変数、 $STEP$  は '0' を含むスタート位置、 $new\ addr[]$  は対角インタリービングされた情報ビットの新規のアドレス、 $SIZE$  は循環大きさ値を示す。

【請求項 4 5】 前記循環大きさ値が入力情報の大きさと同一であることを特徴とする請求項 4 4 記載のチャネル符号化方法。

【請求項 4 6】 前記循環インタリービング過程が下記の数式 2 1 によって行われることを特徴とする請求項 4 3 記載のチャネル符号化方法。

```
d=GCD(P, SIZE);
for (k-j=0; j<d; j++)
    for (i=0; j<SIZE/d; i++, k++)
```

$$\text{new addr}[k] = (P \cdot i + \text{STEP} + j) \bmod \text{SIZE} \quad \cdots \cdots (21)$$

ここで、SIZEはインタリービングする入力情報の大きさ、pは循環インタリーピングを行うためのホップ変数、STEPは‘0’を含むスタート位置、GCDは最大公約数、new addr[]は対角インタリーピングされた情報ビットの新規のアドレス、i, j, kはインデックスを示す。

【請求項47】 前記穿孔過程で、前記入力情報とパリティが別に穿孔されることを特徴とする請求項38記載のチャネル符号化方法。

【請求項48】 前記穿孔過程において、入力情報、第1パリティ及び第2パリティが全て穿孔されるのではないことを特徴とする請求項47記載のチャネル符号化方法。

【請求項49】 前記穿孔過程において、第1パリティ及び第2パリティが全て穿孔されるのではないことを特徴とする請求項47記載のチャネル符号化方法。

【請求項50】 第1構成符号器及び第2構成符号器を備えるチャネル符号化装置を用いるチャネル符号化方法において、

入力情報をそのまま出力する過程と、

入力情報を第1構成符号器で符号化して第1パリティを出力する過程と、

前記入力情報をインタリービングする過程と、

前記インタリーピングされた情報を第2構成符号器で符号化して第2パリティを出力する過程と、

前記第1及び第2構成符号器のメモリを各々ターミネーションするテールビットを生成して前記第1及び第2構成符号器に印加する過程と、からなることを特徴とするチャネル符号化方法。

【請求項51】 チャネル符号化装置において、

入力情報を符号化して第1パリティを発生する第1構成符号器と、

前記入力情報をインタリーピングするインタリーバと、

前記インタリーバの出力を符号化して第2パリティを発生する第2構成符号器と、

前記インタリーバを制御して対角インタリーピングを行う制御器と、から構成

されることを特徴とするチャネル符号化装置。

【請求項 5 2】 前記インタリーバが、入力情報の大きさに対応する行及び列によって入力情報を対角インタリーピングすることを特徴とする請求項 5 1 記載のチャネル符号化装置。

【請求項 5 3】 前記対角インタリーピング過程が下記の数式 2 2 によって行われることを特徴とする請求項 5 2 記載のチャネル符号化装置。

```
for (k=0;k<M*N-1;k++)
    new_addr[k] = (M-1-(k mod N)*N+(k mod N)  …… (2 2)
```

ここで、M及びNはフレームの行及び列情報、M\*Nはフレーム大きさ、kはインデックス、new\_addr[]は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 5 4】 前記対角インタリーピング過程が下記の数式 2 3 によって行われることを特徴とする請求項 5 2 記載のチャネル符号化装置。

```
for (j=0;j<M;j++)
    for (i=0;i<N;i++)
        new_addr[i+j*N] = i+(M-1-(i+j) mod M)*N  …… (2 3)
```

ここで、M及びNはフレームの行及び列情報、M\*Nはフレーム大きさ、i,jはインデックス、GCDは最大公約数、new\_addr[]は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 5 5】 前記対角インタリーピング過程が下記の数式 2 4 によって行われることを特徴とする請求項 5 2 記載のチャネル符号化装置。

```
for (j=0;j<M;j++)
    for (i=0;i<N;i++)
        new_addr[i+j*N] = i+((i+j) mod M)*N  …… (2 4)
```

ここで、M及びNはフレームの行及び列情報、M\*Nはフレーム大きさ、i,jはインデックス、new\_addr[]は対角インタリーピングされた情報ビットの新規のアドレスを示す。

【請求項 5 6】 チャネル符号化装置において、  
入力情報を符号化して第 1 パリティを発生する第 1 構成符号器と、

前記入力情報を循環インタリーピングするインタリーバと、  
前記インタリーバの出力を符号化して第2パリティを発生する第2構成符号器と、から構成されることを特徴とするチャンネル符号化装置。

【請求項57】 前記循環インタリーピングが入力情報の大きさに対応するホップ変数に基づいて行われることを特徴とする請求項56記載のチャンネル符号化装置。

【請求項58】 前記入力情報の大きさとそれに対応するホップ変数が貯蔵されていることを特徴とする請求項57記載のチャンネル符号化装置。

【請求項59】 前記循環インタリーピングが入力情報の大きさに対応するホップ変数と入力情報の順序情報に基づいて行われることを特徴とする請求項57記載のチャンネル符号化装置。

【請求項60】 前記ホップ変数と前記入力情報の順序情報をかけた結果値を循環大きさ値で分けた余りを用いて、前記循環インタリーピングが行われることを特徴とする請求項59記載のチャンネル符号化装置。

【請求項61】 前記循環インタリーピング過程が下記の数式25によって行われることを特徴とする請求項60記載のチャンネル符号化装置。

```
for (i=0; i<SIZE; i++)
    new addr[i] = (p*i+STEP) mod SIZE ..... (25)
```

ここで、 $i$  は入力情報の順序、 $p$  は循環インタリーピングを行うためのホップ変数、 $STEP$  は '0' を含むスタート位置、 $new\ addr[]$  は対角インタリーピングされた情報ビットの新規のアドレス、 $SIZE$  は循環大きさ値を示す。

【請求項62】 前記循環大きさ値が入力情報の大きさと同一であることを特徴とする請求項61記載のチャンネル符号化装置。

【請求項63】 前記循環インタリーピング過程が下記の数式26によって行われることを特徴とする請求項60記載のチャンネル符号化装置。

```
d=GCD(P, SIZE);
for (k-j=0; j<d; j++)
    for (i=0; i<SIZE|d; i++, k++)
        new addr[k] = ((P*i+STEP)+j) mod SIZE ..... (26)
```

ここで、SIZEは循環大きさ、pは循環インタリーピングを行うためのホップ変数、STEPは‘0’を含むスタート位置、GCDは最大公約数、new addr[]は対角インタリーピングされた情報ビットの新規のアドレス、i, j, kはインデックスを示す。

【請求項64】 チャネル符号化装置において、  
入力情報を出力する手段と、  
入力情報を符号化して第1パリティを発生する第1構成符号器と、  
前記入力情報をインタリーピングするインタリーバと、  
前記インタリーピングされた情報を符号化して第2パリティを出力する第2構成符号器と、  
前記入力情報出力手段の出力情報を穿孔する穿孔器と、から構成されることを特徴とするチャネル符号化装置。

【請求項65】 前記第1パリティ及び第2パリティを穿孔する第2穿孔器をさらに備えることを特徴とする請求項64記載のチャネル符号化装置。

【請求項66】 前記インタリーバが循環インタリーバであることを特徴とする請求項64記載のチャネル符号化装置。

【請求項67】 前記インタリーバが入力情報の大きさに対応するホップ変数に基づいて循環インタリーピングを行うことを特徴とする請求項64記載のチャネル符号化装置。

【請求項68】 前記チャネル符号化装置が入力情報の大きさとそれに対応するホップ変数を貯蔵していることを特徴とする請求項67記載のチャネル符号化装置。

【請求項69】 前記インタリーバが入力情報の大きさに対応するホップ変数と入力情報の順序情報に基づいて循環インタリーピングを行うことを特徴とする請求項67記載のチャネル符号化装置。

【請求項70】 前記ホップ変数と前記入力情報の順序をかけた結果値を循環大きさ値で分けた余りを用いて、循環インタリーピングが行われることを特徴とする請求項69記載のチャネル符号化装置。

【請求項71】 前記循環インタリーピングが下記の数式27によって行わ



れることを特徴とする請求項 6 9 記載のチャネル符号化装置。

```
for (i=0; i<SIZE; i++)
```

```
new addr[i] = (p*i+STEP) mod SIZE ..... (27)
```

ここで、 $i$  は入力情報の順序、 $p$  は循環インタリーブを行うためのホップ変数、 $STEP$  は '0' を含むスタート位置、 $new\ addr[]$  は対角インタリーブされた情報ビットの新規のアドレス、 $SIZE$  は循環大きさを示す。

【請求項 7 2】 前記循環大きさが入力情報の大きさと同一であることを特徴とする請求項 7 1 記載のチャネル符号化装置。

【請求項 7 3】 前記循環インタリーブが下記の数式 2 8 によって行われることを特徴とする請求項 7 0 記載のチャネル符号化装置。

```
d=GCD(P, SIZE);
```

```
for (k-j=0; j<d; j++)
```

```
for (i=0; i<SIZE/d; i++, k++)
```

```
new addr[k] = ((P*i+STEP)+j) mod SIZE ..... (28)
```

ここで、 $SIZE$  は循環大きさ、 $p$  は循環インタリーブを行うためのホップ変数、 $STEP$  は '0' を含むスタート位置、 $GCD$  は最大公約数、 $new\ addr[]$  は対角インタリーブされた情報ビットの新規のアドレス、 $i$  ,  $j$  ,  $k$  はインデックスを示す。

【請求項 7 4】 前記入力情報とパリティが各々別に穿孔されることを特徴とする請求項 6 5 記載のチャネル符号化装置。

【請求項 7 5】 入力情報、第 1 パリティ及び第 2 パリティが全て穿孔されるのではないことを特徴とする請求項 6 5 記載のチャネル符号化装置。

【請求項 7 6】 第 1 パリティ及び第 2 パリティが全て穿孔されるのではないことを特徴とする請求項 7 5 記載のチャネル符号化装置。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、通信システムの適用形チャネル符号化方法及び装置に関し、特に、音声及びデータ伝送のための適応形チャネル符号化方法及び装置に関する。

## 【 0 0 0 2 】

## 【従来の技術および発明が解決しようとする課題】

ターボ符号器 (turbo encoder) は、N情報ビットのフレームからなる入力を二つの簡単な構成符号器 (constituent encoder) を用いてパリティシンボル (parity symbol) を発生するシステムであって、並列及び直列構造で構成できる。そして、前記ターボ符号器の構成符号は、循環体系的たたみ込み符号 (Recursive Systematic Convolutional code) を用いる。

## 【 0 0 0 3 】

図1は、従来の並列構造を有するターボ符号器の構成を示す図であって、Berrouによって発明された米国特許番号第5,446,747号に開示してある。前記図1のような構成を有するターボ符号器は、第1構成符号器11と第2構成符号器13との間にインタリーバ12が連結されてなる。そして、前記インタリーバ12は、入力される情報ビットのフレーム長さNと同一な大きさを有し、前記第2構成符号器13に入力される情報ビットの順序を変えることによって、情報ビット間の相関 (correlation) を減らす。図2は、従来の直列構造を有するターボ符号器の構成を示す図であって、第1構成符号器11と第2構成符号器13との間にインタリーバ12が連結されてなる。

## 【 0 0 0 4 】

これらターボ符号器は、宇宙通信 (space communication) に使用されてきたターボ符号を生成し、前記構成符号器11、13は、拘束長が9 ( $K=9$ ) である従来のたたみ込み符号に比べて拘束長は短い、インタリーバ12に使用されるメモリが非常に大きいために、復号時非常に長い時間遅延を有する。

## 【 0 0 0 5 】

前記図1のような並列構造のターボ符号器の出力を復号するターボ復号器は、

図3のような構成を有し、図1のターボ符号器と同様に、前記Berrouによって発明された米国特許番号第5,446,747号に開示してある。そして、前記図2のような直列構造のターボ符号器の出力を復号するターボ復号器は、図4のような構成を有し、Benedettoが発表した論文に開示してある (IEEE Electronics Letters, June 1996, Vol. 32 No. 13)。

#### 【0006】

前記図3の並列構造のターボ復号器は、反復復号アルゴリズム (iterative decoding algorithm) を用いて受信されたフレーム単位に入力データを反復復号することによって、ビットエラー率 (Bit Error Rate: BER) の性能を有効に向上させるという長所がある。そして、前記インタリーバ323は、第1復号器319で訂正されなかったバースト誤りパターン (burst error pattern) を分散させた後、第2復号器327で前記バースト誤りパターン訂正が行われるようにして誤り訂正能力を向上させる。

#### 【0007】

前記反復復号とは、特定な過程を通じて復号されたシンボルを再び復号することであって、派生される付加情報を用いて反復復号を行うと、優秀な復号性能が得られる。前記反復復号を行うためのアルゴリズムには、SOVA (Soft-Output Viterbi Algorithm: Proceedings of IEEE Vehicular Technology Conference, pp 941-944, May 1993.) とMAP (Maximum A Posteriori Probability: IEEE Transactions on Information Theory, pp 429-445, Vol. 42 No. 2 March 1996.) がある。前記SOVAアルゴリズムは軟判定 (soft decision) 値を出力するビタビアルゴリズムの変形であって、符号語 (code word) の誤りを最小化し得る。一方、前記MAPアルゴリズムは、シンボル誤りを最小化し得るアルゴリズムである。

#### 【0008】

前記図3の復号器では、受信されるパリティシンボル $y_k$ が図1の第1構成符号器11から受信された場合にはデパンクチャ (depuncturer) 313の出力 $y_{1k} = y_k$ 、 $y_{2k} = 0$ になり、パリティシンボル $y_k$ が図1の第2構成符号器13から受信される場合には、 $y_{1k} = 0$ 、 $y_{2k} = y_k$ になる。そして、 $z_{k+1}$ は反復復号ア

ルゴリズムで付加情報として使用される軟判定シンボルであって、次の反復復号時の入力として用いられる。最終復号段階で前記  $z_{k+1}$  を硬判定 (hard decision) した値が最終的に望む  $d_k$  になる。前記ターボ符号の性能は、インタリーバの大きさ、インタリーバの構造及び反復復号回数によって決定される。

#### 【0009】

前記図1に示すように、ターボ符号器の内部にはインタリーバ12を備える。前記インタリーバ12によってターボ符号化／復号化がフレーム単位に行われる。従って、図3に示すように、ターボ符号の複雑度 (complexity) は、第1反復復号器319及び第2反復復号器327に必要なメモリのフレーム大きさと構成符号器11、13の構成符号の状態数 (state number) との積に比例する。前記ターボ符号は、通常非常に大きいフレームを使用しているために、音声及びデータの伝送には適用し難かった。より良好の性能を得るために前記ターボ符号器の構成符号の状態数を増加させると、前記図3の第1及び第2復号器の複雑度はその分だけ増加することになる。

#### 【0010】

前記図3のような構造を有する復号器でバースト誤りが生じた場合、前記第1反復復号器319の出力は相関を有し、従って、次の段階の復号過程で第2反復復号器327は相関された入力のために正確な復号が行えないことになる。従って、全体ブロックには誤りが存在し、これは次の復号過程でも訂正不可能になる。従って、反復復号を行う符号では1フレーム内のバースト誤りを相関が無いようによく分散させられるインタリーバ及びデインタリーバを使用するのが必須のことである。

#### 【0011】

従って、相関を遙かに低減できるランダムインタリーバを使用すると、ターボ符号は非常に優秀な性能を示す。しかし、フレームの大きさが小さい場合は、ランダムインタリーバを使用しても、バースト誤りを相関がないよう十分に分離させ難く、ランダムインタリーバに必要なルックアップテーブルも必要になる。従って、音声伝送や伝送率の低いデータ伝送では、構成符号の状態数が小さい上に、時間遅延を最小化できるフレーム大きさ及び構造化したインタリーバを使用し

なければならない。要するに、従来のターボ符号で使用する構成符号の拘束長と大きいインタリーバでは前記音声及びデータ伝送を行うのが非常に難しい。にも拘わらず、前記ターボ符号器の長所を生かして通信システムの符号器及び復号器を具現しようとする努力が続いている。

#### 【 0 0 1 2 】

従来の通信システムで使用するたたみ込み符号に比べてその性能が同一又は優秀である上に、複雑度の低いターボ符号器を具現するためには、構成符号の状態数が小さく、時間遅延を最小化でき、且つ優秀な性能を有するインタリーバを使用すべきである。一般に、ターボ符号器に使用されるインタリーバ(図1の12又は図2の12)の性能はその大きさに比例する。しかし、ターボ符号ではフレーム大きさを増加させるには限界がある。この場合は、ブロック符号の観点からターボ符号の最小ハミング距離(minimum Hamming distance)を最大化させるインタリーバを使用するのが望ましい。フレーム大きさが小さい場合には、構造的インタリーバを用いることによって前記問題点を解決できる。

#### 【 0 0 1 3 】

##### 【課題を解決するための手段】

従って、本発明の目的は、通信システムで、音声及び低い伝送率を有するデータを符号化できるターボ符号化方法及び装置を提供することにある。

本発明の他の目的は、通信システムで、入力されるデータフレームの大きさに拘わらずにインタリービングし得る対角インタリーバを用いる並列又は直列構造のターボ符号化方法及び装置を提供することにある。

本発明のさらに他の目的は、入力されるデータフレームの大きさに拘わらずにインタリービングし得る循環インタリーバを用いる並列又は直列構造のターボ符号化方法及び装置を提供することにある。

本発明のさらに他の目的は、音声及びデータ信号をターボ符号に符号化する装置で、テールビットとテールビットによって生成されるパリティビットをチャネルに伝送できる方法及び装置を提供することにある。

本発明のさらに他の目的は、音声及びデータ信号をターボ符号に符号化する装置で、データ及びパリティ情報を穿孔してデータ伝送率を調整できる方法及び装

置を提供することにある。

【 0 0 1 4 】

前記の目的を達成するために、本発明の一様態によるターボ符号化装置が、入力される情報ビットを符号化する複数の構成符号器と、前記符号器のうち少なくとも一つの構成符号器の入力端に連結され、可変的なフレーム大きさに対応する行列情報を貯蔵するテーブルを備え、前記入力情報ビットのフレーム大きさに対応する行列情報に基づいて情報ビットを対角インタリーピングする対角インタリーバと、から構成される。

【 0 0 1 5 】

さらに、本発明の他の様態によるターボ符号化装置が、入力される情報ビットを符号化する複数の構成符号器と、前記符号器のうち少なくとも一つの構成符号器の入力端に連結され、可変的フレーム大きさに対応するホップ及びステップ情報を貯蔵するテーブルを備え、入力情報ビットのフレーム大きさに対応する前記ホップ及びステップ情報に基づいて情報ビットを循環インタリーピングする循環インタリーバと、から構成される。

【 0 0 1 6 】

また、本発明のさらに他の様態によるターボ符号化装置が、入力される情報ビットを符号化する複数の構成符号器と、入力情報をフレーム大きさに基づいてインタリーピングし、前記符号器のうち少なくとも一つの構成符号器の入力端に連結するインタリーバと、前記構成符号器の数に対応するよう備えられ、フレーム終了時構成符号器に入力される情報ビットを遮断し、構成符号器のメモリ装置の値を分析して入力データのフレームを終端させるテールビットを生成するテールビット生成器と、から構成される。

【 0 0 1 7 】

さらに、本発明のさらに他の様態によるターボ符号化装置において、複数の構成符号器は入力情報ビットを符号化し、インタリーバは伝送される入力情報ビットをインタリーピングして前記少なくとも一つの構成符号器の入力端に連結する。また、テールビット生成器は、前記構成符号器の数に対応するよう備えられ、フレーム終了時構成符号器に入力される情報ビットを遮断し、構成符号器のメモ

り装置の値を分析して入力データのフレームを終端させるテールビットを生成する。第1穿孔器は前記入力情報ビットを穿孔し、第2穿孔器は前記構成符号器の出力を穿孔して前記符号化したデータの伝送率を調整する。

#### 【0018】

##### 【発明の実施の形態】

本発明の実施形態では、説明の便宜上、並列鎖状循環構造を有するターボ符号器 (parallel concatenated recursive turbo encoder) の構成について説明する。図5及び図6は、本発明の実施形態によるターボ符号器の構成を示す図である。ここで、符号器410、420は、構成符号器であって、前記図1及び図2の構成符号器と同様に、受信される情報ビット  $d_k$  を符号化してパリティシンボル  $Y_k$  を生成する。また、対角インタリーバ (diagonal interleaver) 432と循環インタリーバ (circular shifting interleaver) 434は、本発明の第1及び第2実施形態によるインタリーバであって、以下の説明では特定インタリーバを称する場合を除いてインタリーバ430と通称するものとする。

#### 【0019】

前記図5及び図6を参照すれば、前記情報ビット  $d_k$  は、第1構成符号器410に入力される同時に、インタリーバ430に入力される。前記インタリーバ430は前記情報ビットの順序を変えて第2構成符号器420に入力させる。前記インタリーバ430は、入力情報ビット  $d_k$  が符号化した後出力されるシーケンス ( $X_k$ 、 $Y_k$ ) の最小ハミング距離が最大になるインタリーバを使用する。また、チャネル符号器に入力されるデータのフレーム大きさは、CRC (Cyclic Redundancy Check) ビット及びその他の制御ビットが前記データに追加されるために可変的である。もし、強制に入力データフレームの大きさを固定させようとする場合は、フレーム大きさとインタリーバ大きさととの差だけのダミービット (dummy bit) をさらに加えなければならない。しかし、前記ダミービットはシステムの性能改善とはなんの係わりも無いので可能な限り少ない方が望ましい。従って、インタリーバ430は、優秀な性能を有すると共に、入力データフレーム大きさと関係のあるパラメータの変化に拘わらずにうまく動作されるものでなければならない。

## 【 0 0 2 0 】

図7は、図5及び図6に示した対角インタリーバ432及び循環インタリーバ434の構成を示している。前記対角インタリーバ432及び循環インタリーバ434は、可変的なフレーム大きさを有する情報ビットが入力される時、該当フレーム大きさを分析し、フレーム大きさ分析結果に従ってシステム制御部から受信したインタリーバ関連パラメータに基づいて最適のインタリービング動作を行う。本発明の実施形態では前記対角インタリーバ432及び循環インタリーバ434を一つのインタリーバに結合した場合を説明しているが、ターボ符号器では対角インタリービング又は循環インタリービング中いずれか一つを使用することもできる。ここでは、前記対角インタリーバ432及び循環インタリーバ434をインタリーバ430と通称する。

## 【 0 0 2 1 】

前記図7を参照すれば、レジスタ511はシステム制御部(図示せず)から出力されるフレーム大きさ信号(frame size signal)とインタリーバ形態信号(interleaver type signal)を貯蔵する。対角インタリービングテーブル513は対角インタリービングを行う時、情報ビットのフレーム大きさに従って最適の対角インタリービング特性を有する行及び列の値M及びNを貯蔵するテーブルである。即ち、可変的なフレーム大きさに受信される情報ビットを対角インタリービングする時、最適の対角インタリービング効果を有するM及びNを実験的に測定して対角インタリービングテーブル513に貯蔵する。前記対角インタリービングテーブル513は、前記レジスタ511から出力されるフレーム大きさ信号に対応するM及びN値を出力する。対角インタリービング制御器517は、前記対角インタリービングテーブル513から出力されるM及びN値を受信し、設定された対角インタリービング方式で情報ビットをインタリービング出力するための読取りアドレス(read address)を発生する。

## 【 0 0 2 2 】

循環インタリービングテーブル515は、循環インタリービングを行う時、情報ビットのフレーム大きさに従って最適の循環インタリービング特性を有するホップ変数(hop parameter)及びステップ変数(step parameter)値P及びSTEP



を貯蔵するテーブルである。即ち、可変的なフレーム大きさに受信される情報ビットを循環インタリーピングする時、最適の循環インタリーピング効果を有するP及びSTEP変数を実験的に測定して循環インタリーピングテーブル515に貯蔵する。前記循環インタリーピングテーブル513は前記レジスタ511から出力されるフレーム大きさ信号に対応するP及びSTEP値を出力する。循環インタリーピング制御器519は、前記循環インタリーピングテーブル515から出力されるP及びSTEP値を受信し、設定された循環インタリーピング方式で情報ビットをインタリーピング出力するための読取りアドレスを発生する。マルチプレクサ521は、前記対角インタリーピング制御器517及び循環インタリーピング制御器519から出力される読取りアドレスを受信し、前記レジスタ511から出力されるインタリーバ形態信号に基づいて対応するインタリーピング方式のアドレスを選択して読取りアドレスとして出力する。メモリ523は、前記情報ビットを順次に受信し、前記マルチプレクサ521から出力される読取りアドレスに基づいて貯蔵された情報ビットをインタリーピング出力する。前記メモリ523は、前記情報ビットが最大の可変フレーム大きさを有するに十分な大きさに設計される。

#### 【0023】

前記図7の構成で、対角インタリーバ432を単独に具現する場合、レジスタ511、対角インタリーピングテーブル513、対角インタリーピング制御器517及びメモリ523で構成でき、この時、マルチプレクサ及び前記インタリーバ形態信号は使用しない。また、前記図7の構成で、循環インタリーバ434を単独に具現する場合、レジスタ511、循環インタリーピングテーブル515、循環インタリーピング制御器519及びメモリ523で構成でき、この時、マルチプレクサ及び前記インタリーバ形態信号は使用しない。

#### 【0024】

前記図7で、対角インタリーピングテーブル513及び循環インタリーピングテーブル515は、ROM及びRAMのようなメモリで具現でき、論理素子を結合して具現しても良い。また、前記対角インタリーピング制御器517及び循環インタリーピング制御器519は、論理素子を結合して具現することができ、デ

デジタル信号プロセッサで具現しても良い。

#### 【 0 0 2 5 】

図 8 及び図 9 は対角インタリーピングの流れ図を例示しており、図 1 0 及び図 1 1 は循環インタリーピングの流れ図を例示している。また、以下に説明されるインタリーバは入力バッファを備えていると仮定する。

#### 【 0 0 2 6 】

前記図 7 のインタリーバ 4 3 0 の構成を参照して第 1 対角インタリーピング～第 3 対角インタリーピング動作について調べてみる。

#### 【 0 0 2 7 】

まず、図 8 は、第 1 対角インタリーピングの動作を示す流れ図である。前記図 8 を参照すれば、第 1 対角インタリーピングは  $M \times N$  の入力ビットシーケンスの順序を変える過程を含む。第 1 対角インタリーピングでは、まず、情報ビット  $d_k$  が入力されると、6 1 1 段階で入力される情報ビットをメモリ 5 2 3 (図 7) に順次的に貯蔵するためのアドレス  $old\_addr[k]$  に情報を貯蔵し、フレームデータの大きさ  $k$  を設定する。その後、6 1 3 段階で、対角インタリーピングを行うためのデータフレームの行及び列変数  $M \times N$  を決定する。即ち、対角インタリーピングを行うために、前記入力フレームのデータ大きさ変数  $k$  に基づいて前記対角インタリーピングテーブルから前記  $M$  及び  $N$  値を設定する。複数の  $M \times N$  値は、ルックアップテーブルに貯蔵されて入力フレームの大きさ  $k$  に基づいて決定されることができ、入力フレームの大きさ  $k$  に基づいて最適の  $M \times N$  を計算しても良い。そして、6 1 5 段階で、前記  $M$  及び  $N$  値の最大公約数が 1 [ $GCD(M, N) = 1$ ] であるかチェックする。この時、前記  $M$  及び  $N$  の最大公約数 ( $GCD$  : Greatest Common Denominator) が 1 である場合は、6 1 7 段階で下記の数式 2 9 によって第 1 対角インタリーピングのアドレスを演算する。

for ( $k=0; k < M \times N - 1; k++$ )

$new\_addr[k] = (M - 1 - (k \bmod N)) \times N + (k \bmod N) \quad \cdots \cdots (29)$

#### 【 0 0 2 8 】

前記数式 2 9 のように出力バッファのアドレスを指定し、前記入力バッファに貯蔵された入力情報ビットをインタリーピングして出力バッファに貯蔵する。

## 【 0 0 2 9 】

しかし、前記 6 1 5 段階で、前記 M 及び N の最大公約数が 1 でないと [GCD (M, N)  $\neq$  1]、6 1 9 段階で第 1 対角インタリーピング動作を中断し、終了する。

## 【 0 0 3 0 】

前記第 1 対角インタリーピングで、まず、最初の前記入力バッファの old\_addr[k] に貯蔵されている M=6、N=5 のシーケンスを {0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29} と仮定すれば、第 1 対角インタリーピング後に出力バッファ new\_addr[k] に貯蔵されたシーケンスは {25 21 17 13 9 0 26 22 18 14 5 1 27 23 19 10 6 2 28 24 15 11 7 3 29 20 16 12 8 4} になる。

## 【 0 0 3 1 】

前記貯蔵された値を M\*N 行列で表現すると、入力されたデータと第 1 対角インタリーピングした後出力されるデータは表 1 のようになる。

【表 1】

入力シーケンス (M=6, N=5)					インタリーピングされたシーケンス (M=6, N=5)				
0	1	2	3	4	25	21	17	13	9
5	6	7	8	9	0	26	22	18	14
10	11	12	13	14	5	1	27	23	19
15	16	17	18	19	10	6	2	28	24
20	21	22	23	24	15	11	7	3	29
25	26	27	28	29	20	16	12	8	4

## 【 0 0 3 2 】

しかし、前記第 1 対角インタリーピングは M と N の最大公約数が 1 である場合に限って可能である。しかし最大公約数 (M, N)  $\neq$  1 である場合、例えば M=6、N=6 の場合は、下記の表 2 のようにインタリーピングが全くなされなく、同一のデータが重ね書き (overwrite) されてしまう。

【表 2】

入力シーケンス (M=6, N=6)						インタリーピングされたシーケンス (M=6, N=6)					
0	1	2	3	4	5	30	25	20	15	10	5
6	7	8	9	10	11	30	25	20	15	10	5
12	13	14	15	16	17	30	25	20	15	10	5
18	19	20	21	22	23	30	25	20	15	10	5
24	25	26	27	28	29	30	25	20	15	10	5
30	31	32	33	34	35	30	25	20	15	10	5

## 【 0 0 3 3 】

第2対角インタリーピング方式及び第3対角インタリーピング方式は、 $M \times N$ 行列で表現される入力情報ビットシーケンスの順序を変える過程を含むが、最大公約数  $(M, N) = 1$  の場合の以外に、最大公約数  $(M, N) \neq 1$  である場合にもインタリーピングできる構造である。

## 【 0 0 3 4 】

図9は、第2対角インタリーピングの動作を示す流れ図である。前記図9を参照すれば、第2対角インタリーピングは、 $M \times N$ 行列の入力ビットの順序を変えるものであって、 $M$ と $N$ の最大公約数が‘1’である場合と‘1’でない場合のいずれにも適用できる対角インタリーピング方式である。第2対角インタリーピング時、まず、情報ビット  $d_k$  が入力されると、631段階で入力バッファのアドレス  $old\_addr[k]$  に情報を貯蔵し、フレームデータの大きさ  $k$  を設定する。ここで、前記  $k$  は入力されるフレームデータの大きさを示す変数である。その後、633段階で、対角インタリーピングを行うためのデータフレームの行及び列変数  $M \times N$  を決定する。前記  $M$  及び  $N$  を設定した後、635段階で、下記の数式30によって第2対角インタリーピングのアドレスを演算する。

```
for (j=0; j<M; j++)
```

```
  for (i=0; i<M; i++)
```

```
    new_addr[i+j*N]=i+(M-1-(i+j) mod M)*N ..... (30)
```

ここで、 $i$  及び  $j$  は増加フレーム位置を示す。

## 【 0 0 3 5 】

前記数式30のように出力フレームバッファのアドレスを指定し、前記入力バ

ッファに貯蔵された入力情報ビットをインタリービングして出力バッファに貯蔵する。

【 0 0 3 6 】

最大公約数  $(M, N) = 1$ 、例えば  $M = 6$ 、 $N = 5$  の入力シーケンスに対応する前記第 2 対角インタリービングされた出力は下記の表 3 で示される。

【表 3】

入力シーケンス ( $M=6, N=5$ )	インタリービングされたシーケンス ( $M=6, N=5$ )
0    1    2    3    4	25   21   17   13    9
5    6    7    8    9	20   16   12    8    4
10   11   12   13   14	15   11    7    3   29
15   16   17   18   19	10    6    2   28   24
20   21   22   23   24	5    1   27   23   19
25   26   27   28   29	0   26   22   18   14

【 0 0 3 7 】

また、最大公約数  $(M, N) \neq 1$ 、例えば  $M = 6$ 、 $N = 6$  である場合も下記の表 4 のようにインタリービングが正常に行われることが判る。

【表 4】

入力シーケンス ( $M=6, N=6$ )	インタリービングされたシーケンス ( $M=6, N=6$ )
0    1    2    3    4    5	30   25   20   15   10    5
6    7    8    9   10   11	24   19   14    9    4   35
12   13   14   15   16   17	18   13    8    3   34   29
18   19   20   21   22   23	12    7    2   33   28   23
24   25   26   27   28   29	6    1   32   27   22   17
30   31   32   33   34   35	0   31   26   21   16   11

【 0 0 3 8 】

第 3 対角インタリービング方式で、対角インタリービング制御器 5 1 7 は下記の数式 3 1 で具現される。

```
for (j=0; j<M; j++)
```

```
    for (i=0; i<N; i++)
```

$\text{new\_addr}[i+j+N]=i+((i+j) \bmod M) * N \quad \dots\dots (31)$

【0039】

前記対角インタリーバ432を用いて入力シーケンスをマッピング(mapping)されるメモリアドレスに貯蔵した後、次の行又は列単位に順次にデータを読み取ったり、入力シーケンスを行又は列単位にメモリに順次に貯蔵した後、対角インタリーバ432によってアドレスから1ビットずつデータを読み取ってインタリーピングを行うことができる。

【0040】

デインタリーピングはインタリーバで使用方法の逆順で具現できる。

【0041】

図10は、循環インタリーバ434を用いて入力情報ビットを第1循環インタリーピングする動作を示す流れ図である。本発明の実施形態による第1循環インタリーピング動作は、入力シーケンスを一つの円(circle)に見なし、一定間隔にデータの順序を変えるものであって、入力シーケンスの長さに拘わらずにインタリーピングが行える。

【0042】

前記図10を参照すれば、まず、情報ビットd<sub>k</sub>が入力されると、711段階で入力バッファのアドレスold\_addr[k]に情報を貯蔵し、フレームデータの大きさSIZEを設定する。その後、713段階で、P変数及びSTEP変数を設定する。ここで、前記P変数はホップ(hop)間隔変数であって、循環インタリーバの性能を決定する。したがって、前記P変数は最適の効果を有するよう実験的に求める。また、前記STEP変数は前記P変数によってホッピングされる位置から左側又は右側にデータをシフトさせる変数である。ここで、前記STEP変数は整数になる。このようにP変数及びSTEP変数を求めた後、715段階で前記PとSIZEの最大公約数が1[GCD(P, SIZE=1)]かチェックする。この時、P変数とSIZE変数の最大公約数が1である場合には、717段階で、第1循環インタリーピングアドレスを下記の数式32によって演算する。

for (i=0; i<SIZE; i++)

$\text{new\_addr}[i]=(p*i+STEP) \bmod \text{SIZE} \quad \dots\dots (32)$

## 【 0 0 4 3 】

前記数式 3 2 で、 $i$  は入力データのフレーム大きさを示す変数であって、0 から  $S I Z E$  (アドレスの数) まで変わる変数である。また、前記  $S I Z E$  はインタリーバの大きさであり、 $p$  は最大公約数  $(S I Z E, p) = 1$  を満足する任意の自然数であり、 $S T E P$  は整数である。

## 【 0 0 4 4 】

例えば、最初の入力バッファ  $old\_addr[k]$  に貯蔵されている、 $S I Z E = 30$  の入力シーケンスが {0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29} であれば、 $P = 11$ 、 $S T E P = 0$  の時、第 1 循環インタリービング後に出力バッファ  $new\_addr[k]$  に貯蔵されたシーケンスは {0 11 22 3 14 25 6 17 28 9 20 1 12 23 4 15 26 7 18 29 10 21 2 13 24 5 16 27 8 19} になる。前記貯蔵された値を  $M \times N$  行列で表現すれば、下記の表 5 のようになる。

【表 5】

入力シーケンス ( $M=6, N=5$ )					インタリービングされたシーケンス ( $M=6, N=5, p=11$ )				
0	1	2	3	4	0	11	22	3	14
5	6	7	8	9	25	6	17	28	9
10	11	12	13	14	20	1	12	23	4
15	16	17	18	19	15	26	7	18	29
20	21	22	23	24	10	21	2	13	24
25	26	27	28	29	5	16	27	8	19

## 【 0 0 4 5 】

しかし、最大公約数  $(S I Z E, p) \neq 1$  である、 $p = 6$  を用いる場合、前記図 10 のような第 1 循環インタリーピングを行うと、同一のデータが重ね書きされるためにインタリーピングがなされない。

## 【 0 0 4 6 】

ここで、最初メモリの順次的なアドレス  $old\_addr[k]$  に貯蔵されている  $S I Z E = 30$  であるシーケンスが入力され、 $P = 11$ 、 $S T E P = 0$  と仮定すれば、前記図 10 のような第 1 循環インタリーピング方式で前記入力シーケンスをイン

タリーピングした結果が次の表 6 のような  $M \times N$  行列で表現される。

【表 6】

入力シーケンス ( $M=6, N=5$ )					インタリーピングされたシーケンス ( $M=6, N=5, p=6$ )				
0	1	2	3	4	0	6	12	18	24
5	6	7	8	9	0	6	12	18	24
10	11	12	13	14	0	6	12	18	24
15	16	17	18	19	0	6	12	18	24
20	21	22	23	24	0	6	12	18	24
25	26	27	28	29	0	6	12	18	24

【 0 0 4 7 】

最大公約数 ( $S I Z E, p$ )  $\neq 1$  の場合にもインタリーピング可能な第 2 循環インタリーピング方式が図 1 1 に示されている。前記図 1 1 に示した第 2 循環インタリーピング方式は入力シーケンスを  $d * (S I Z E / d)$  の行列に見なし、列は第 1 循環インタリーピングされ、行はブロックインタリーピングされる方式である。

【 0 0 4 8 】

図 1 1 は、第 2 循環インタリーピングの動作を示す流れ図であって、 $P$  と  $S T E P$  変数の最大公約数が 1 である場合と 1 でない場合のいずれの場合にも適用可能な循環インタリーピング方式である。第 2 循環インタリーピングの動作について調べてみれば、まず、情報ビット  $d_k$  が入力されると、7 2 1 段階でメモリの順次アドレス  $old\_addr[k]$  に情報を貯蔵し、フレームデータの大きさ  $S I Z E$  を設定する。その後、7 2 3 段階で、循環インタリーピングを行うためのホップ変数  $P$  及びステップ変数  $S T E P$  を設定する。前記  $P$  及び  $S T E P$  変数を設定した後、7 2 5 段階で下記の数式 3 3 によって第 2 循環インタリーピングのアドレスを演算する。

【 0 0 4 9 】

次の数式 3 3 において、 $i$  及び  $k$  は 0 から  $S I Z E$  までの数を示す変数である。 $j$  はアドレス変数であって、0 から  $d$  までの数を示す。 $P$  は循環インタリーピングを行うためのホップ変数を示す。 $S T E P$  は前記ホップ変数によって決定さ



れた位置から S T E P 変数だけ左側又は右側にデータをシフトしてスタート時点 (start point) を決定するための変数である。

d=GCD (P, SIZE) ;

for (k-j=0; j<d; j++)

new addr [k] = (P\*i+STEP) + j) mod SIZE ..... ( 3 3 )

【 0 0 5 0 】

前記数式 3 3 において、(P\*i+STEP) は循環インタリーピング動作を示し、j はブロックインタリーピング動作を示す。S I Z E は入力データのフレーム大きさ、p は任意の自然数、S T E P は整数である。

【 0 0 5 1 】

ここで、S I Z E = 3 0、p = 1 1 の第 2 循環インタリーピング結果を M\*N 行列で示すと、下記の表 7 になる。

【表 7】

入力シーケンス (M=6, N=5)					インタリーピングされたシーケンス (M=6, N=5, p=11)				
0	1	2	3	4	0	11	22	3	14
5	6	7	8	9	25	6	17	28	9
10	11	12	13	14	20	1	12	23	4
15	16	17	18	19	15	26	7	18	29
20	21	22	23	24	10	21	2	13	24
25	26	27	28	29	5	16	27	8	19

【 0 0 5 2 】

前記表 7 の結果は、表 5 の第 1 循環インタリーピングの結果と同一である。しかし、最大公約数 (S I Z E, p) ≠ 1 の場合は次のようになる。

【表 8】

入力シーケンス (M=6, N=5)					インタリービングされたシーケンス (M=6, N=5, p=15)				
0	1	2	3	4	0	15	1	16	2
5	6	7	8	9	17	3	18	4	19
10	11	12	13	14	5	20	6	21	7
15	16	17	18	19	22	8	23	9	24
20	21	22	23	24	10	25	11	26	12
25	26	27	28	29	27	13	28	14	29

## 【 0 0 5 3 】

前記循環インタリーバを用いて入力シーケンスをマッピングされるメモリアドレスに貯蔵した後、行又は列単位に順次にデータを読み取ったり、入力シーケンスを行又は列単位に順次にメモリに貯蔵した後、アドレスから1ビットずつデータを読み取る方法を用いてインタリーピングし得る。

## 【 0 0 5 4 】

デインタリーピングはインタリーバで使用方法の逆順で具現される。

## 【 0 0 5 5 】

図12は、本発明の第2実施形態による並列鎖状構造のターボ符号器で循環インタリーバの性能を示すグラフであって、構成符号の拘束長が3 ( $K=3$ ) であり、入力フレーム大きさは104ビット、反復復号回数は8回、BPSK (Bi-Phase Shift Key) 変調方式、AWGN (Additive White Gaussian Noise) 環境におけるBERに関連して、広く用いられているブロックインタリーバ及びランダムインタリーバと循環インタリーバとを比較している。前記図12に示すように、 $10^{-5}$ BERで循環インタリーバの $E_b/N_0$ が3dB程度であり、ブロックインタリーバが3.4dBになる。従って、前記 $10^{-5}$ BERで循環インタリーバがブロックインタリーバに比べて約0.4dB性能が改善されたことが判る。

## 【 0 0 5 6 】

図13は、本発明の実施形態によるターボ符号器の構成を示す図である。

前記図13を参照すれば、第1構成符号器410は、例えば拘束長が3 ( $K=3$ ) である情報ビットを符号化して出力し、インタリーバ430は、前記情報ビットを設定された規則に基づいてインタリーピングして情報ビットの順序を変え

る。このインタリーバ430は、前記図7と同様に構成することができ、この場合、前記第1～第3対角インタリービング方式又は第1～第2循環インタリービング方式で具現できる。第2構成符号器420は、拘束長が3 ( $K=3$ ) である前記インタリーバ430の出力を符号化して出力する。

#### 【0057】

第1テールビット生成器450は、前記第1構成符号器410の入力端に連結される第1スイッチ455と、前記第1構成符号器410のメモリ素子412、413の出力を排他的論理和する排他的論理和器 (exclusive OR gate) 451と、前記排他的論理和器451の出力に基づいてフレーム終端信号 (termination signal) を発生して前記第1スイッチ455に印加するビット発生器453とで構成される。前記第1テールビット生成器450は、フレーム終了時、前記第1スイッチ455が第1構成符号器410と連結されて前記第1構成符号器410のメモリ素子を初期化させると同時に、フレーム終端信号を発生する。第2テールビット生成器460は、前記第2構成符号器420の入力端に連結される第2スイッチ465と、前記第2構成符号器420のメモリ素子422、423の出力を排他的論理和する排他的論理和器461と、前記排他的論理和器461の出力に基づいてフレーム終端信号を発生して前記第2スイッチ465に印加するビット発生器463とで構成される。前記第2テールビット生成器460は、フレーム終了時、前記第2スイッチ465が第2構成符号器420と連結されて前記第2構成符号器420のメモリ素子を初期化させると同時に、フレーム終端信号を発生する。

#### 【0058】

第1穿孔器470は、前記情報ビットを穿孔する。第2穿孔器480は、前記第1構成符号器410及び第2構成符号器420から出力される符号化したデータを穿孔する。前記第1穿孔器470及び第2穿孔器480はデータの伝送率を調整する役割を果たす。マルチプレクサ491は、ビット発生器453、463の出力をマルチプレクシングして出力する。第3スイッチ493は、フレーム終了時前記マルチプレクサ491から出力されるテールビットを伝送チャンネルにスイッチング連結する。

## 【 0 0 5 9 】

従って、前記第1テールビット生成器450は、前記第1構成符号器410を終端させるためのテールビットを生成し、前記第2テールビット生成器460は、前記第2構成符号器420を終端させるためのテールビットを生成する。また、第1穿孔器470及び第2穿孔器480は、伝送率を適切なレベルに調整して出力する。

## 【 0 0 6 0 】

前記図13を参照すれば、ターボ符号は構成符号器410、420を終端させるためにテールビットを使用する。この時、前記ターボ符号の構成符号は体系的符号(systematic code)なので、非体系的たたみ込み符号のように‘0’を続いて入力しても、構成符号器410、420のメモリ412、413、422、423は初期化されない。しかし、入力から最も近いメモリの値を‘0’に設定するために、構成符号器410、420は、前記メモリにフィードバックされる値の和をテールビット発生器を用いて入力すればいい。従って、ターボ符号器では各構成符号のメモリ数に対応するテールビットが必要である。図13で前記第1構成符号器410の入力端に連結されるスイッチ455及び第2構成符号器420の入力端に連結されるスイッチ465は、テールビット生成時点でスイッチングされる。その後、前記第1構成符号器410及び第2構成符号器420に出力されるテールビットによるパリティビットは前記第2穿孔器480に出力され、テールビット生成器から生成したテールビットは前記第3スイッチ493によってスイッチングされて情報ビット $X_k$ として出力される。

## 【 0 0 6 1 】

ハードウェアの複雑度を低減するために、伝送率を2の累乗(power of 2)にするのが望ましい。しかし、例えば、384 kbpsのデータ伝送率を有する場合には、符号率が $1/2$ であるターボ符号を使用すると、伝送率の2の累乗にすることができない。従って、このような場合には符号率が $1/2$ であるターボ符号を穿孔して生成した、符号率 $3/8$ のターボ符号を使用すればいい。特に、144 kbps伝送率では符号率が $1/2$ であるターボ符号を穿孔して符号率を $9/16$ に変える。ここで、下記の表9及び表10は $9/6$ 穿孔マトリックスの例を示したも

のである。

【表 9】

情報ビット	1111111111111111
R S C 1	1 <u>00</u> 101 <u>00</u> 101 <u>00</u> 1 <u>00</u> 10
R S C 2	01 <u>00</u> 1 <u>00</u> 101 <u>00</u> 101 <u>00</u> 1

【表 1 0】

情報ビット	111 <u>0</u> 1111 <u>0</u> 11 <u>0</u> 111 <u>0</u>
R S C 1	1010101010101010
R S C 2	0101010101010101

# 【 0 0 6 2 】

前記表 9 及び表 1 0 で、情報ビットは入力される情報ビット  $d_k$  であって、第 1 穿孔器 4 7 0 に印加され、R S C 1 は第 1 構成符号器 4 1 0 から出力されるパリティビットであって、第 2 穿孔器 4 8 0 に印加される。この時、前記表 9 は構成符号器 4 1 0 及び 4 2 0 から出力するパリティビットを穿孔した例を示すものであって、この場合、パリティビットに該当する部分で連続的に '0' で示される部分が多数存在する。即ち、伝送率を調整するためにパリティビットを穿孔すると、前記表 9 の下線を引いた部分のようにパリティビットに該当する部分で連続的に '0' が現れる箇所が存在する。しかし、本発明の実施形態では前記各構成符号器 4 1 0、4 2 0 のメモリが 2 個しかないために、パリティビットを連続して二つ以上伝送しないと致命的な誤りが生ずる恐れがある。従って、本発明の実施形態では前記表 1 0 のように情報ビットを穿孔する。前記表 1 0 は前記表 9 と同一な 9 / 6 穿孔マトリックスであるが、常に連続して二つ以上のパリティビットが伝送される。しかし、ターボ符号の性能は反復復号回数に比例して向上される。

# 【 0 0 6 3 】

上述の如く、本発明は、ターボ符号器の内部に存在するインタリーバの大きさを縮め、ターボ符号に優秀な性能を示すインタリーバを導入することによって、

時間遅延の制約のために通信システムの音声及びデータ伝送に適用できなかったターボ符号を音声及びデータ伝送に利用することができる。また、性能の優秀なインタリーバを使用して前記ターボ符号器の構成符号器の状態数を減少させることによって復号器の複雑さを減少できる。また、本発明の実施形態では、入力情報を穿孔するために、多様な符号率を提供することができる。

#### 【 0 0 6 4 】

一方、前記本発明の詳細な説明では具体的な実施形態に上げて説明してきたが、本発明の範囲内で様々な変形が可能であるということは勿論である。従って、本発明の範囲は前記実施形態によって限られてはいけなく、特許請求の範囲とそれに均等なものによって定められるべきである。

#### 【図面の簡単な説明】

- 【図 1】 従来の並列鎖状循環構造的符号器の構成図。
- 【図 2】 従来の直列鎖状循環構造的符号器の構成図。
- 【図 3】 従来の並列鎖状循環構造的復号器の構成図。
- 【図 4】 従来の直列鎖状循環構造的復号器の構成図。
- 【図 5】 本発明の第 1 実施形態による鎖状循環構造的符号器の構成を示す図。
- 【図 6】 本発明の第 2 実施形態による鎖状循環構造的符号器の構成を示す図。
- 【図 7】 本発明の第 1 実施形態によるターボ符号器で対角インタリーバの構造を示す図。
- 【図 8】 図 7 のような構成を有する対角インタリーバの構造で第 1 対角インタリービング動作過程を示す流れ図。
- 【図 9】 本発明の第 2 実施形態によるターボ符号器で循環インタリーバの構造を示す図。
- 【図 1 0】 図 9 のような構成を有するインタリーバの構造で第 1 循環インタリービング動作過程を示す流れ図。
- 【図 1 1】 図 7 のような構成を有するインタリーバの構造で第 2 循環インタリービング動作過程を示す流れ図。

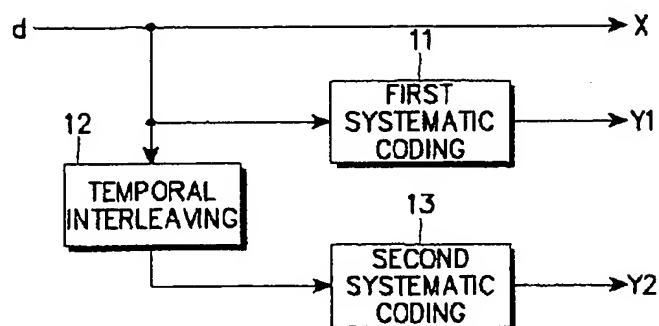
【図12】 ランダムインタリーブ方式及びブロックインタリーブ方式を使用したターボ符号器と本発明の第2実施形態による循環インタリーブ方式を使用したターボ符号器の特性を比較したグラフ。

【図13】 テールビット生成及び穿孔動作を説明するための本発明の実施形態によるターボ符号器の構成図。

【符号の説明】

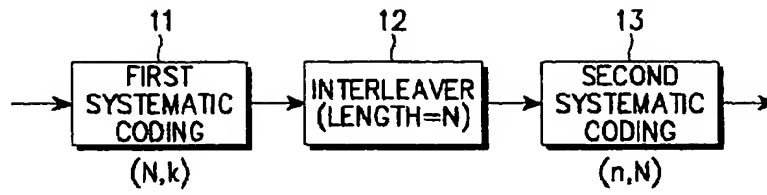
- 410 第1符号器
- 420 第2符号器
- 432 対角インタリーバ
- 434 循環インタリーバ
- 511 レジスタ
- 513 対角インタリーブングテーブル
- 515 循環インタリーブングテーブル
- 517 対角インタリーブング制御器
- 519 循環インタリーブング制御器
- 521 マルチプレクサ
- 523 メモリ

【図1】



(PRIOR ART)  
FIG. 1

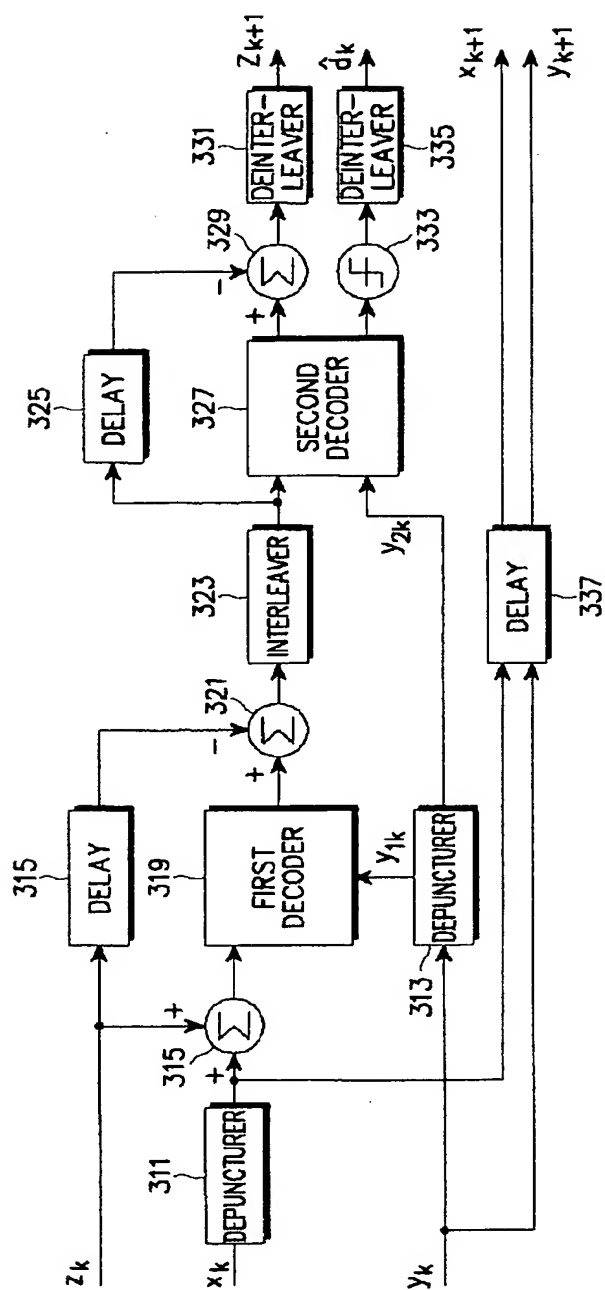
【図 2】



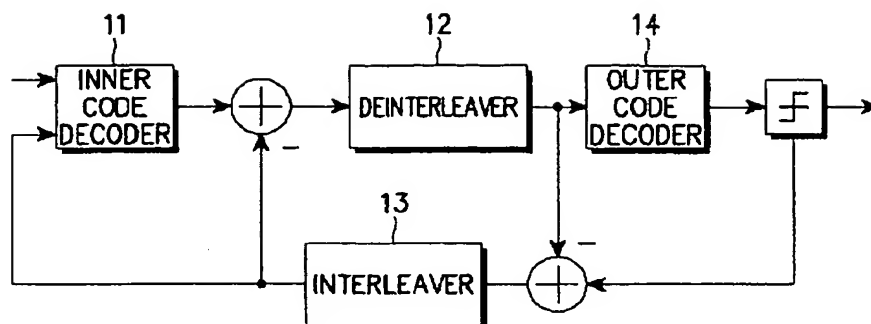
(PRIOR ART)  
FIG. 2



【図 3】

(PRIOR ART)  
FIG. 3

【図 4】

(PRIOR ART)  
FIG. 4

【図 5】

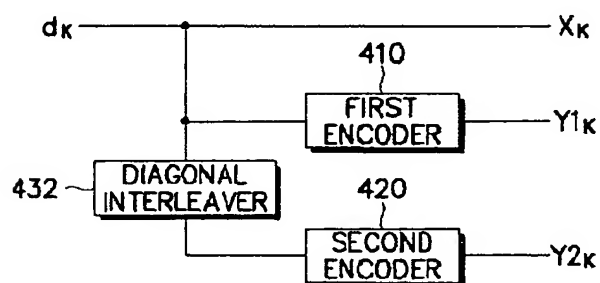


FIG. 5

【図 6】

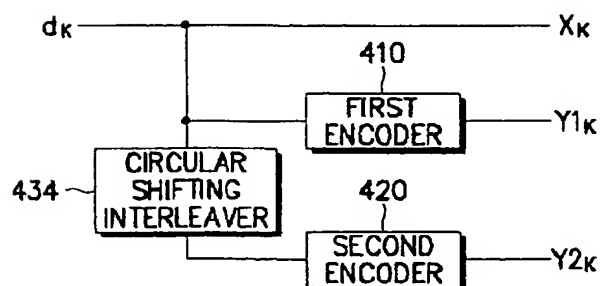


FIG. 6

【図 7】

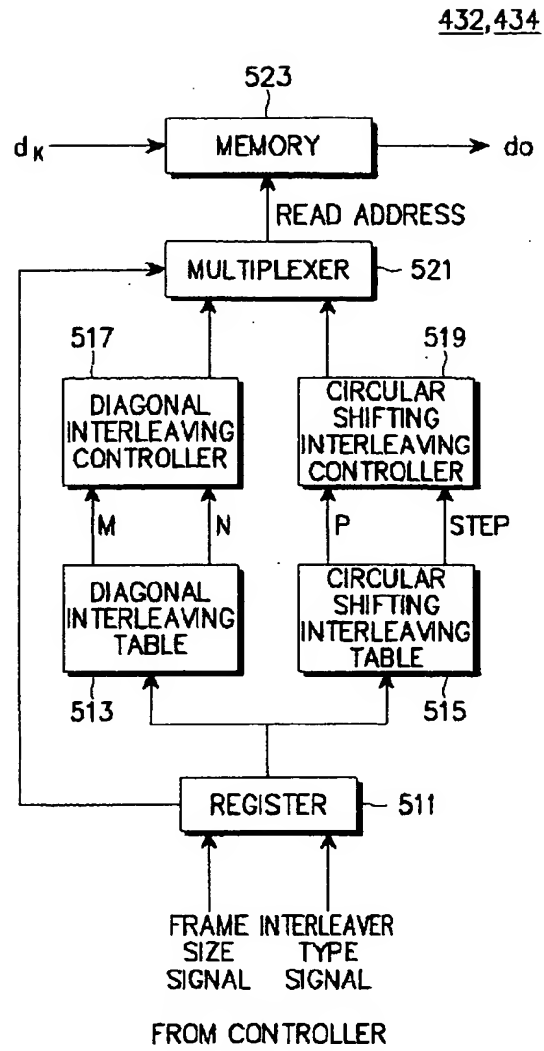


FIG. 7

【図 8】

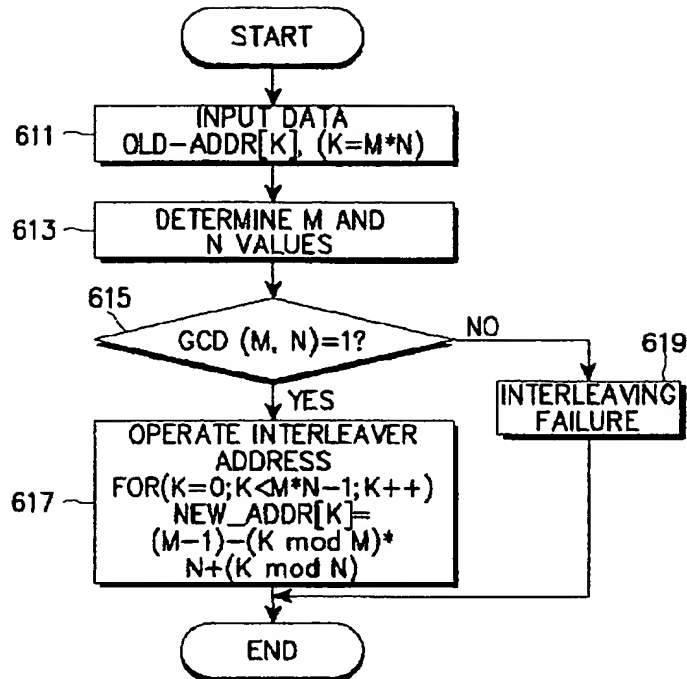


FIG. 8

【図 9】

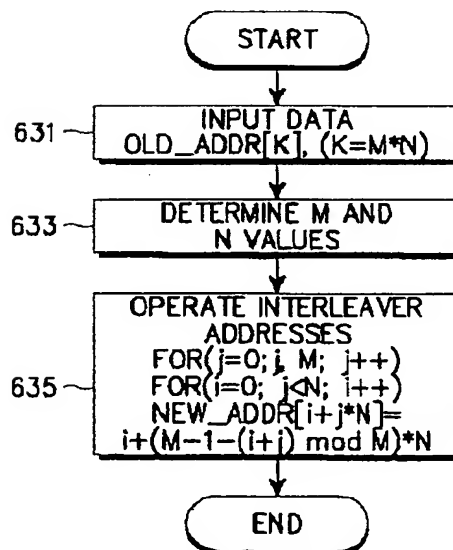


FIG. 9

【図 10】

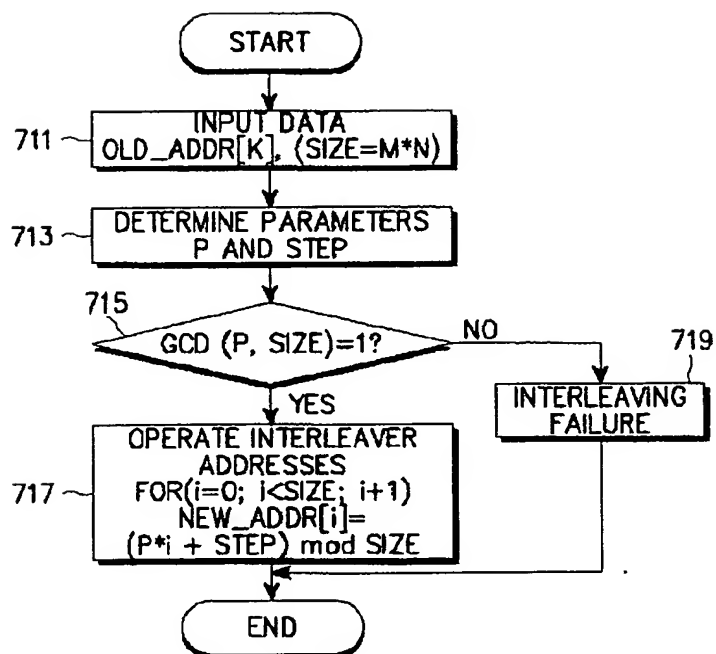


FIG. 10

【図 11】

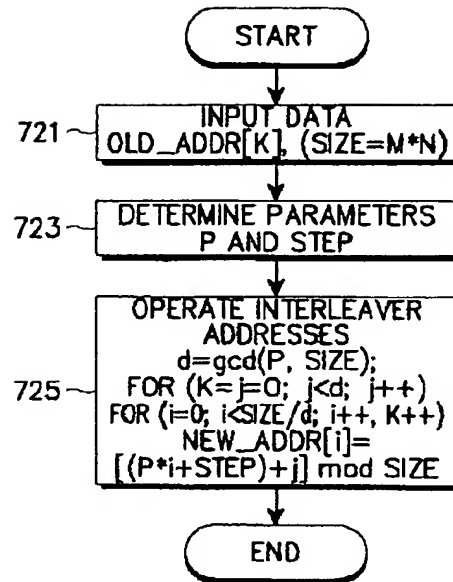


FIG. 11

【図 12】

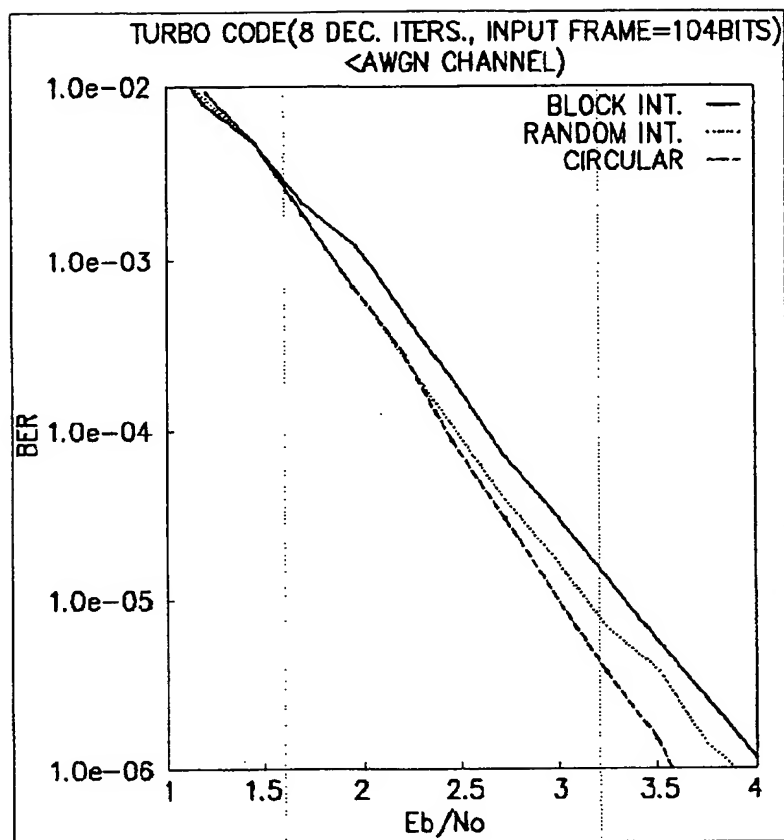


FIG. 12

【図 13】

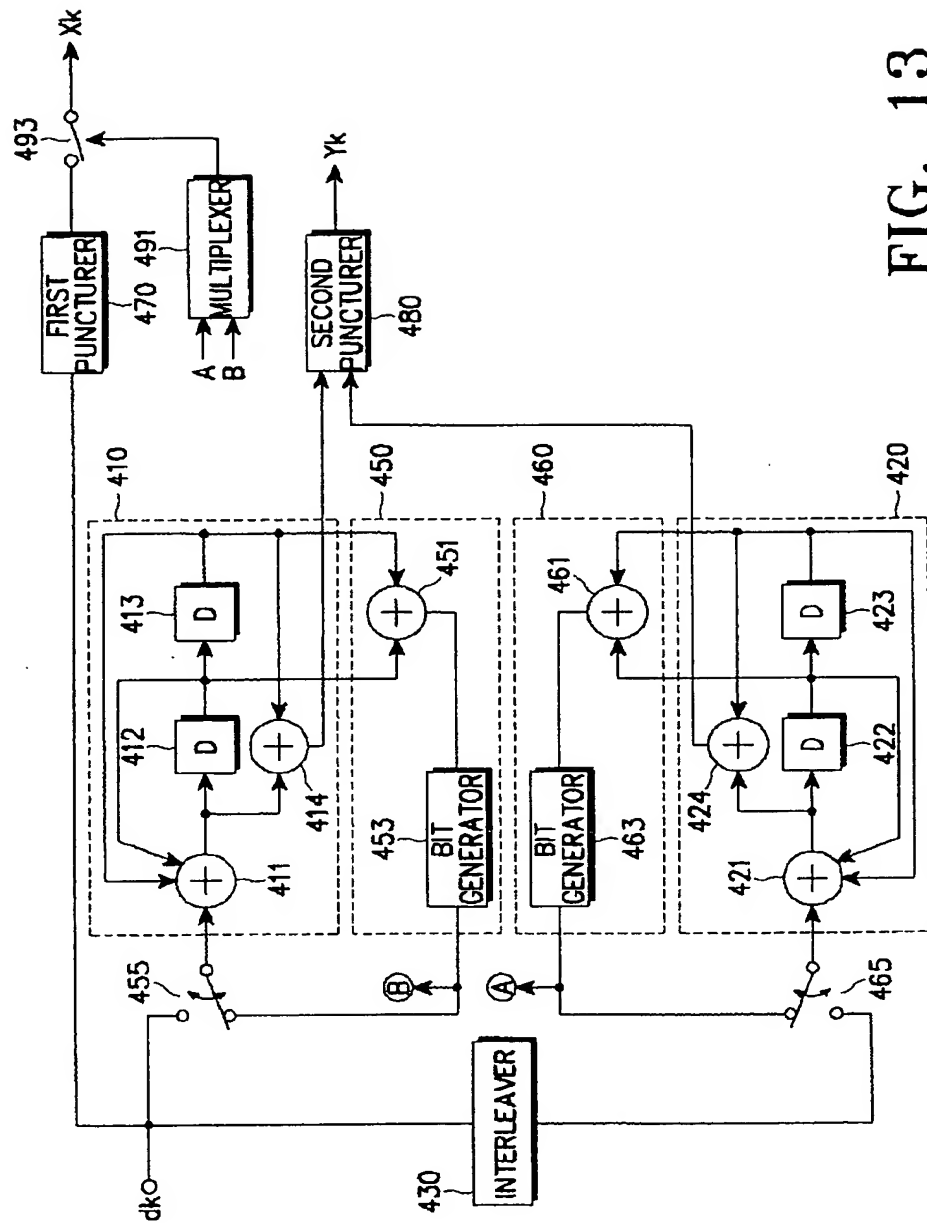


FIG. 13



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/KR 98/00232

A. CLASSIFICATION OF SUBJECT MATTER		
IPC <sup>6</sup> : H 03 M 13/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC <sup>6</sup> : H 03 M 13/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPIL		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A, P	WD 97/40 582 A1 (GENERAL ELECTRIC COMPANY) 30 October 1997 (30.10.97), totality.  -----	1, 5, 8, 12, 15, 18, 21, 24, 25, 29, 51, 56
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
05 February 1999 (05.02.99)		15 February 1999 (15.02.99)
Name and mailing address of the ISA/ Austrian Patent Office Kohlmarkt 8-10; A-1014 Vienna Facsimile No. 1/53424/535		Authorized officer Zugarek Telephone No. 1/53424/383

---

フロントページの続き

(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), BR, CA, CN, JP, RU

(72) 発明者 ビル・ジュン・リー  
大韓民国・ソウル・121-220・マボーク・  
ハプチョンードン・366-5

(72) 発明者 ジュン・ジン・コン  
大韓民国・キュンギード・461-162・ソン  
ナムーシ・スジョンーク・シンフン・2-  
ドン・ジュゴン・アパートメント・#120  
-703

(72) 発明者 ヨン・キム  
大韓民国・ソウル・157-012・カンソー  
グ・フワゴク・2-ドン・163-3